

50195-391

Saichiro U Kaneko, et al.

October 10, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 7日

出 願 番 号

Application Number:

特願2002-324308

[ST.10/C]:

[JP2002-324308]

出 願 人

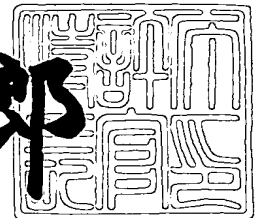
Applicant(s):

日産自動車株式会社

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051193

【書類名】 特許願

【整理番号】 NM02-00791

【提出日】 平成14年11月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/336

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会
社内

【氏名】 林 哲也

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会
社内

【氏名】 星 正勝

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会
社内

【氏名】 クライソン トロンナムチャイ

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会
社内

【氏名】 金子 佐一郎

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会
社内

【氏名】 田中 秀明

【特許出願人】

【識別番号】 000003997

【氏名又は名称】 日産自動車株式会社

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【先の出願に基づく優先権主張】

【出願番号】 特願2002-305066

【出願日】 平成14年10月18日

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707400

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 炭化珪素半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の炭化珪素半導体基体でなるドレイン領域と、
前記炭化珪素半導体基体の一方の主面上に接合された、前記炭化珪素半導体基体とはバンドギャップが異なるヘテロ半導体からなるソース領域と、
前記ソース領域上に絶縁層を介して配置されたゲート電極と、
前記ソース領域に接触するソース電極と、
前記ドレイン領域に接触するドレイン電極と、
を備えたことを特徴とする炭化珪素半導体装置。

【請求項 2】 前記ソース領域の前記ソース電極と接触する部分における不純物の濃度は、この部分以外の前記ソース領域部分における不純物の濃度よりも高く設定され、前記ソース電極が前記ソース領域にオーム性接触することを特徴とする請求項 1 記載の炭化珪素半導体装置。

【請求項 3】 前記ゲート電極直下の前記ドレイン領域における前記ソース領域との界面近傍部分は、この部分以外の前記ドレイン領域部分よりも、第 1 導電型不純物の濃度が高く設定された第 1 導電型の低抵抗領域であることを特徴とする請求項 1 又は請求項 2 に記載された炭化珪素半導体装置。

【請求項 4】 前記炭化珪素半導体基体における、前記ソース電極と接触する前記ソース領域の直下近傍部分に、前記ソース領域と接合する第 2 導電型の電界緩和領域が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載された炭化珪素半導体装置。

【請求項 5】 前記炭化珪素半導体基体における、前記ソース電極と接触する前記ソース領域の直下近傍に、前記ソース領域と接合する誘電体領域が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載された炭化珪素半導体装置。

【請求項 6】 第 1 導電型の炭化珪素半導体基体でなり、前記炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、
前記炭化珪素半導体基体の前記主面及び前記溝内壁に接するように配置され、

前記炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、

前記溝内に絶縁層を介して形成されたゲート電極と、

前記ソース領域に接触するソース電極と、

前記ドレイン領域と接触するドレイン電極と、

を備えたことを特徴とする炭化珪素半導体装置。

【請求項 7】 第 1 導電型の炭化珪素半導体基体でなり、前記炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、

前記炭化珪素半導体基体の前記主面及び前記溝内壁に接するように配置され、前記炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、

前記主面上に位置する前記ソース領域の上方に絶縁層を介して配置されたゲート電極と、

前記ソース領域に接触するソース電極と、

前記ドレイン領域に接触するドレイン電極と、

を備えたことを特徴とする炭化珪素半導体装置。

【請求項 8】 前記ソース領域の前記ソース電極と接触する部分における不純物の濃度は、この部分以外の前記ソース領域部分における不純物の濃度よりも高く設定され、前記ソース電極が前記ソース領域にオーム性接触することを特徴とする請求項 6 又は請求項 7 に記載された炭化珪素半導体装置。

【請求項 9】 前記ゲート電極直下の前記ドレイン領域における前記ソース領域との界面近傍部分は、この部分以外の前記ドレイン領域部分よりも、第 1 導電型不純物の濃度が高く設定された第 1 導電型の低抵抗領域であることを特徴とする請求項 6 乃至請求項 8 いずれか一項に記載された炭化珪素半導体装置。

【請求項 10】 前記ドレイン領域における、前記溝の底部に位置する前記ソース領域の直下近傍部分に、前記ソース領域と接合する第 2 導電型の電界緩和領域が形成されていることを特徴とする請求項 6 乃至請求項 9 のいずれか一項に記載された炭化珪素半導体装置。

【請求項 11】 前記ドレイン領域における、前記溝の底部に位置する前記

前記ソース領域の直下近傍に、前記ソース領域と接合する誘電体領域が形成されていることを特徴とする請求項 6 乃至請求項 9 のいずれか一項に記載された炭化珪素半導体装置。

【請求項 1 2】 前記ヘテロ半導体領域は、単結晶シリコン、アモルファスシリコン、多結晶シリコンの少なくともいずれかでなることを特徴とする請求項 1 乃至請求項 1 1 のいずれか一項に記載された炭化珪素半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、炭化珪素半導体装置に関する。

【0002】

【従来の技術】

従来、一般に知られている炭化珪素を構成材料とした炭化珪素半導体装置として、図 1 7 に示すような MOSFET 100（例えば、特許文献 1 参照。）が知られている。図 1 7 は従来の MOSFET 100 の概略を示す断面図である。図 1 7 に示すように、この MOSFET 100 では、 n^+ 型の炭化珪素基板領域 101 の上に n^- 型のドレイン領域 102 が形成されている。このドレイン領域 102 の表層部には、 p 型のウェル領域 103 が形成されている。そして、このウェル領域 103 内の表層部には、 n^+ 型のソース領域 104 が形成されている。また、ドレイン領域 102 の上には、ゲート絶縁膜 105 を介してゲート電極 106 が配置されている。さらに、ウェル領域 103 及びソース領域 104 の上には、これらに接するようにソース電極 107 が形成されている。また、炭化珪素基板領域 101 の裏面には、ドレイン電極 108 が形成されている。

【0003】

次に、図 1 7 に示す MOSFET 100 の動作について説明する。図 1 7 においてソース電極 107 を接地し、ドレイン電極 108 に正電位を印加した状態で、ゲート電極 106 を接地もしくは負電位とした場合、ドレイン領域 102 とウェル領域 103 とが逆バイアス状態となるため、この MOSFET 100 は遮断状態となる。この状態で、ゲート電極 106 に適当な正電位を印加すると、ゲ-

ト電極 1 0 6 に対向したウェル領域 1 0 3 界面に反転型のチャネル領域が形成される。すると、このチャネル領域を通して、ソース領域 1 0 4 からドレイン領域 1 0 2 へ電子が流れる。すなわち、ゲート電極 1 0 6 の電位を制御することにより、ドレイン電極 1 0 8 からソース電極 1 0 7 に電流が流れる。このように、図 1 7 に示した MOSFET 1 0 0 は、スイッチング機能を有している。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 0 - 3 3 2 1 7 9 号公報 （第 1 頁、図 1）

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、図 1 7 に示した炭化珪素を材料とした MOSFET 1 0 0 では、反転型のチャネル領域が形成されるゲート絶縁膜 1 0 5 直下のウェル領域 1 0 3 界面に不完全な結晶構造、すなわち多量の界面準位が存在する。このような多量の界面準位は、電子トラップとして働く。このことから、図 1 7 に示した MOSFET 1 0 0 では、チャネル移動度を高めることができず、結果的にオン抵抗を低減するにも限界があった。

【0 0 0 6】

また、図 1 7 に示した MOSFET 1 0 0 にあっては、ゲート絶縁膜 1 0 5 が例えばシリコン酸化膜で形成されている場合、ドレイン電極 1 0 8 に高電圧が印加されてドレイン領域 1 0 2 に高電界が広がると、ゲート絶縁膜 1 0 5 はドレイン領域 1 0 2 に接しているため、炭化珪素を材料とするドレイン領域 1 0 2 が臨界電界に達する前に、ゲート絶縁膜が絶縁破壊電界に達する場合があった。このことから、ゲート絶縁膜 1 0 5 の絶縁破壊電圧で素子の耐圧が制限されてしまい、素子耐圧を向上するにも限界があった。

【0 0 0 7】

本発明は、上記のような従来技術の問題を解決するためになされたものであり、主たる目的は、オン抵抗を低減し、かつ素子耐圧を向上することができる、高耐圧電界効果トランジスタを提供することにある。

【0 0 0 8】

また、本発明の他の目的は、ノーマリーオフの電圧駆動型で、製造工程の簡単な炭化珪素半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

この発明の第1の特徴は、第1導電型の炭化珪素半導体基体でなるドレイン領域と、炭化珪素半導体基体の一方の主面上に接合された、炭化珪素半導体基体とはバンドギャップが異なるヘテロ半導体からなるソース領域と、ソース領域上に絶縁層を介して配置されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域に接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【0010】

また、この発明の第2の特徴は、第1導電型の炭化珪素半導体基体でなり、炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、炭化珪素半導体基体の主面及び溝内壁に接するように配置され、炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、溝内に絶縁層を介して形成されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域と接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【0011】

さらに、この発明の第3の特徴は、第1導電型の炭化珪素半導体基体でなり、炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、炭化珪素半導体基体の主面及び溝内壁に接するように配置され、炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、主面上に位置するソース領域の上方に絶縁層を介して配置されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域に接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【 0 0 1 2 】

【発明の効果】

第1の特徴に係る本発明によれば、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂M O S F E Tにおけるチャネル部の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくすることができる。このため、チャネル抵抗、すなわちオン抵抗をさらに低減することが可能となる。また、本発明によれば、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起こりにくく、素子耐圧の向上しろが大きくなる。加えて、本発明では、ドレイン領域及びソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易になる。また、本発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程が簡便となる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗の向上が期待できる。

【 0 0 1 3 】

第2の特徴に係る発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程を簡単にすることができる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗を向上することができる。さらに、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂M O S F E Tにおけるチャネル部分の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。また、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起

こりにくく、素子耐圧の向上しるが大きくなる。さらにまた、ドレイン領域及びソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易である。加えて、本発明によれば、ドレイン領域に溝を形成することで、導通時の伝導電子が流れる経路となるゲート電極と接するソース領域の面積を大きくとることができるため、さらにオン抵抗を低減することができる。

【 0 0 1 4 】

第 3 の特徴に係る発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程が簡便になる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗を向上することができる。さらに、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂 MOSFET におけるチャネル部分の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。また、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起こりにくく、素子耐圧の向上しるが大きくなる。さらにまた、ドレイン領域及びソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易である。また、本発明によれば、ソース領域とドレイン領域とのヘテロ接合界面より深い位置に、接地電位に固定されたソース領域が存在しているため、隣り合う溝底部に形成されたソース領域から伸びた空乏層によってゲート電極直下のドレイン領域を空乏化することができ、遮断性を向上することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明に係る炭化珪素半導体装置の詳細を図面に示す実施の形態に基づいて説明する。但し、図面は模式的なものであり、各層の厚みや厚みの比率など

は現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【 0 0 1 6 】

(第 1 の実施の形態)

図 1 は、本発明を縦型の MOSFET に適用した炭化珪素半導体装置の第 1 の実施の形態を示している。なお、図 1 は、ゲート電極とソース電極とが平行をなすストライプ状に形成された構造を持つ炭化珪素半導体装置における構造単位セルが 2 つ連続した部分の断面図である。図 1 に示すように、この炭化珪素半導体装置 1 0 は、第 1 導電型としての n 型の炭化珪素でなる n^+ 型炭化珪素基板領域 1 1 と、この n^+ 型炭化珪素基板領域 1 1 上に形成された n^- 型の炭化珪素からなるドレイン領域 1 2 と、ドレイン領域 1 2 の一方の主面上に形成されたソース領域 1 3 と、このソース領域 1 3 上の所定領域に形成されたゲート絶縁膜 1 4 と、このゲート絶縁膜 1 4 の上に形成されたゲート電極 1 5 と、このゲート電極 1 5 の側方に配置されて、ゲート絶縁膜 1 4 が存在しない部分でソース領域 1 3 に接触するように形成されたソース電極 1 6 と、 n^+ 型炭化珪素基板領域 1 1 の他方の主面側に形成されたドレイン電極 1 7 とから大略構成されている。

【 0 0 1 7 】

n^+ 型炭化珪素基板領域 1 1 を構成する炭化珪素のポリタイプは、 α -SiC のうち例えば 4 H タイプを用いる。また、ドレイン領域 1 2 は、 n^+ 型炭化珪素基板領域 1 1 上に、例えばエピタキシャル成長法により形成されている。

【 0 0 1 8 】

ソース領域 1 3 は、 n^- 型の多結晶シリコンで形成されている。この結果、ドレイン領域 1 2 とソース領域 1 3 との接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合となっている。具体的には、ソース領域 1 3 がドレイン領域 1 2 よりもバンドギャップが小さく設定されている。このようなヘテロ接合となっている接合部の界面には、エネルギー障壁が存在している。

【 0 0 1 9 】

ゲート絶縁膜 1 4 は、例えば、ソース領域 1 3 を熱酸化して、所定領域を残す

ように熱酸化膜をエッチングすることにより形成されている。また、ゲート絶縁膜 1 4 上のゲート電極 1 5 は、例えばソース電極 1 6 と同一材料、同一工程で形成され、ソース電極 1 6 と分離するようにパターニングされてなる。

【 0 0 2 0 】

次に、この炭化珪素半導体装置 1 0 の動作を説明する。本実施の形態では、ソース電極 1 6 を接地し、ドレイン電極 1 7 に正電位を印加して使用する。

【 0 0 2 1 】

まず、ゲート電極 1 5 を、例えば接地電位とした場合、遮断状態を保持する。すなわち、ソース領域 1 3 とドレイン領域 1 2 とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。以下、図 2 ～図 6 を用いて、ソース領域 1 3 を形成する多結晶シリコンと、ドレイン領域 1 2 を形成する炭化珪素とのヘテロ接合の特性を詳細に説明する。図 2 ～図 6 は、半導体のエネルギーバンド構造を示している。図 2 ～図 6 の各図において、左側にはソース領域 1 3 に対応する n^- 型シリコンのエネルギーバンド構造を、右側にはドレイン領域 1 2 に対応する 4 H タイプの n^- 型炭化珪素のエネルギーバンド構造を示している。なお、上記した構造の炭化珪素半導体装置 1 0 においては、ソース領域 1 3 が多結晶シリコンからなる場合を説明しているが、図 2 ～図 6 ではシリコンのエネルギーバンド構造を用いて説明する。また、この説明では、ヘテロ接合の特性を理解し易くするため、ヘテロ接合界面に界面準位が存在しない場合の理想的な半導体ヘテロ接合のエネルギー準位について例示している。

【 0 0 2 2 】

図 2 はシリコン及び炭化珪素の両者が接触していない状態を示している。図 2 中、シリコンの電子親和力を χ_1 、仕事関数（真空準位からフェルミ準位までのエネルギー）を ϕ_1 、フェルミエネルギー（伝導帯からフェルミ準位までのエネルギー）を δ_1 、バンドギャップを E_{g1} としている。同様に、炭化珪素の電子親和力を χ_2 、仕事関数を ϕ_2 、フェルミエネルギーを δ_2 、バンドギャップを E_{g2} とする。図 2 に示すように、シリコンと炭化珪素との接合界面には、両者の電子親和力 χ の違いからエネルギー障壁 ΔE_c が存在し、その関係は下記の式（1）のように示すことができる。

【 0 0 2 3 】

$$\Delta E_c = \chi_1 - \chi_2 \quad \cdots (1)$$

また、図 3 はシリコン及び炭化珪素の両者を接触させ、シリコンと炭化珪素のヘテロ接合を形成したエネルギーバンド構造である。シリコン及び炭化珪素の両者を接触後も、エネルギー障壁 ΔE_c は接触前と同様に存在するため、シリコン側の接合界面には幅 W_1 の電子の蓄積層が形成され、一方で炭化珪素側の接合界面には W_2 の空乏層が形成されると考えられる。ここで、両接合界面に生じる拡散電位を V_D 、シリコン側の拡散電位成分を V_1 、炭化珪素側の拡散電位成分を V_2 とすると、 V_D は両者のフェルミ準位のエネルギー差であるから、その関係は下記の式 (2) ~ (4) のように示される。

【 0 0 2 4 】

$$V_D = (\delta_1 + \Delta E_c - \delta_2) \quad \cdots (2)$$

$$V_D = V_1 + V_2 \quad \cdots (3)$$

$$W_2 = \sqrt{(2 * \epsilon_0 * \epsilon_2 * V_2) / (q * N_2)} \quad \cdots (4)$$

ここで、 ϵ_0 は真空中の誘電率、 ϵ_2 は炭化珪素の比誘電率、 N_2 は炭化珪素のイオン化不純物濃度を表す。なお、これらの式は、バンド不連続のモデルとして Anderson の電子親和力に基づいており、理想的状態でさらに歪みの効果は考慮していない。

【 0 0 2 5 】

上記した説明に基づき、図 1 に示した第 1 の実施の形態に係る炭化珪素半導体装置 10 について、ゲート電極 15 直下のソース領域 13 とドレイン領域 12 との接合界面 (図 1 中線分 A 間) におけるエネルギーバンド構造を図 4 ~ 図 6 に例示する。図 4 は、ゲート電極 15、ソース電極 16、ドレイン電極 17 の電極にも電圧を印加しない所謂熱平行状態における図である。また、図 5 は、ゲート電極 15 並びにソース電極 16 を共に接地電位とし、かつドレイン電極 17 に所定の正電位を印加した場合の図である。図 5 に示すように、ヘテロ接合界面のドレイン領域 12 側には印加したドレイン電位に応じて空乏層が広がる。それに対し、ソース領域 13 側に存在する伝導電子はエネルギー障壁 ΔE_c を越えることができず、その接合界面には伝導電子が蓄積する。このため、炭化珪素側に広がる

空乏層に見合う電気力線が終端し、ソース領域 1 3 側ではドレイン電界がシールドされることになる。このため、ソース領域 1 3 を形成する多結晶シリコンの厚みが例えば 2 0 n m 程度と非常に薄い構造でも、遮断状態を維持する（耐圧を保持する）ことが可能である。

【 0 0 2 6 】

次に、遮断状態から導通状態へと移行すべくゲート電極 1 5 に正電位を印加した場合、ソース領域 1 3 を構成する多結晶シリコン層が薄く形成されていると、ゲート絶縁膜 1 4 を介してソース領域 1 3 並びにソース領域 1 3 に接するドレイン領域 1 2 のヘテロ接合界面までゲート電界が及ぶため、ソース領域 1 3 並びにドレイン領域 1 2 に伝導電子の蓄積層が形成される。すなわち、ゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 の接合界面（図 1 中線分 A 間）におけるエネルギーバンド構造は、図 6 の実線で示すように変化する。このエネルギーバンド構造が実線のように変化するため、破線で示したオフ時のゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 の接合界面（図 1 中線分 A 間）におけるエネルギーバンド構造に比べ、ソース領域 1 3 側のポテンシャルが押し下げられ、かつドレイン領域 1 2 側のエネルギー障壁が急峻になることからエネルギー障壁中を伝導電子がトンネリングすることが可能となる。

【 0 0 2 7 】

また、ソース電極 1 6 直下のソース領域 1 3 とドレイン領域 1 2 の接合界面（図 1 中線分 B 間）におけるエネルギーバンド構造は図 6 の破線のままとするため、伝導電子はソース電極 1 6 直下のソース領域 1 3 からゲート電極 1 5 直下のソース領域 1 3 へと供給される。このことから、それまでエネルギー障壁によって遮断されていた伝導電子は、ソース電極 1 6 からソース領域 1 3 を通ってドレイン領域 1 2 へと流れる（導通状態となる）。

【 0 0 2 8 】

次に導通状態から遮断状態に移行すべく、再びゲート電極 1 5 を接地電位とすると、ソース領域 1 3 並びにドレイン領域 1 2 のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域 1 3 からドレイン領域 1 2 への伝導電子の流れが止まる。さ

らに、ドレイン領域 1 2 中にあった伝導電子が炭化珪素基板領域 1 1 に流れて枯渇すると、ドレイン領域 1 2 側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【 0 0 2 9 】

また、この第 1 の実施の形態においては、従来の炭化珪素半導体装置の構造と同様に、例えばソース電極 1 6 を接地し、ドレイン電極 1 7 に負電位が印加された逆方向導通（還流動作）も可能である。例えば、ソース電極 1 6 並びにゲート電極 1 5 を接地電位とし、ドレイン電極 1 7 に図 3 に示す qV_2 以上の正電位が印加されると、伝導電子に対するエネルギー障壁は消滅し、ドレイン領域 1 2 側からソース領域 1 3 側に伝導電子が流れ、逆導通状態となる。

【 0 0 3 0 】

さらに、ゲート電極 1 5 を接地せずに制御電極として使用した場合は、従来の炭化珪素半導体装置の構造と同様に、ドレイン電極 1 7 に qV_2 以下の電位が印加されただけで逆導通が可能となる。このことから、本実施の形態は、従来の炭化珪素半導体装置の構造と同様の逆導通機能を有している。

【 0 0 3 1 】

上述したとおり、図 1 に示した第 1 の実施の形態に係る炭化珪素半導体装置 1 0 は、図 1 7 に示した従来構造の炭化珪素半導体装置と同様の動作を実現することができ、加えて以下に説明するような利点を有する。

【 0 0 3 2 】

（イ）従来と同様に、電圧駆動型の炭化珪素 MOSFET と同様の動作をするにも拘わらず、素子製造時にドレイン領域 1 2 への伝導度制御が必要なく、製造工程が簡単になる。

【 0 0 3 3 】

（ロ）従来構造においてはドレイン領域の伝導度制御を行うために、例えばイオン注入したイオンを活性化させるための 1700°C 程度の高温アニールが必要であるが、第 1 の実施の形態においては、上述のとおり伝導度制御が必要ないことから、高温アニールで生じる表面荒れなどの問題も回避でき、オン抵抗の向上が期待できる。

【 0 0 3 4 】

(ハ) ゲート電極 1 5 に正電位を印加して導通状態とした際に、ゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 とのヘテロ接合界面全体で伝導電子が流れる。さらに、伝導電子の導通・遮断を制御する MOSFET におけるチャネル部の長さ (チャネル長) をヘテロ接合によって遮断状態を維持できる (耐圧を保持できる) ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。

【 0 0 3 5 】

(ニ) 従来構造では、ゲート絶縁膜がドレイン領域に接しているため、ゲート絶縁膜がドレイン電界に晒されていたのに対し、本実施の形態においては、ゲート絶縁膜 1 4 とドレイン領域 1 2 との間に多結晶シリコンからなるソース領域 1 3 が存在するため、ゲート絶縁膜 1 4 にほとんどドレイン電界がかからない。すなわち、ゲート絶縁膜 1 4 の絶縁破壊が起こりにくくなり、素子耐圧を大幅に向上できる。

【 0 0 3 6 】

(ホ) 本実施の形態においては、ドレイン領域 1 2 及びソース領域 1 3 のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易となる。

【 0 0 3 7 】

(第 2 の実施の形態)

図 7 は、本発明に係る炭化珪素半導体装置の第 2 の実施の形態を示している。なお、第 2 の実施の形態に係る炭化珪素半導体装置において、上記した第 1 の実施の形態と同一部分に同一の符号を付して説明を省略する。

【 0 0 3 8 】

第 2 の実施の形態に係る炭化珪素半導体装置 1 0 は、ソース領域 1 3 とソース電極 1 6 との間に、例えば多結晶シリコンからなる n^+ 型のソースコンタクト層 1 8 が介在されている。このソースコンタクト層 1 8 は、従来の炭化珪素半導体装置の構造と同様に、ソース領域 1 3 とソース電極 1 6 とがオーム性接触となるよう設けられたものであり、 n^- 型の多結晶シリコンからなるソース領域 1 3 の

上に n^+ 型の多結晶シリコンからなるソースコンタクト層 18 を積層して形成されている。なお、第 2 の実施の形態に係る炭化珪素半導体装置 10 の他の構成は、上記した第 1 の実施の形態と同様である。

【 0 0 3 9 】

本実施の形態によれば、 n^- 型の多結晶シリコンからなるソースコンタクト層 18 を介在したことにより、ソース電極 16 とソース領域 13 とはオーム性接触し、ソース電極 16 との接触抵抗を低減することができる。

【 0 0 4 0 】

本実施の形態における動作、作用及び効果は、上記した第 1 の実施の形態と同様である。

【 0 0 4 1 】

なお、本実施の形態では、ソースコンタクト層 18 をソース領域 13 の上に積層して形成したが、ソース領域 13 の表面近傍（内部）に形成する構造としてもよい。

【 0 0 4 2 】

（第 3 の実施の形態）

図 8 は、本発明に係る炭化珪素半導体装置の第 3 の実施の形態を示している。なお、第 3 の実施の形態に係る炭化珪素半導体装置において、上記した第 1 及び第 2 の実施の形態と同一部分に同一の符号を付して説明を省略する。

【 0 0 4 3 】

第 3 の実施の形態に係る炭化珪素半導体装置 10 は、上記した第 2 の実施の形態の炭化珪素半導体装置 10 において、ゲート電極 15 の直下に形成されているソース領域 13 とヘテロ接合しているドレイン領域 12 側の界面に、ドレイン領域 12 より不純物濃度が高い炭化珪素からなる n^+ 型の低抵抗領域 19 を形成している。なお、本実施の形態の炭化珪素半導体装置 10 の他の構成は、上記した第 1 及び第 2 の実施の形態と同様である。

【 0 0 4 4 】

本実施の形態では、ゲート電極 15 直下のソース領域 13 とドレイン領域 12 のヘテロ接合界面を、 n^- 型の多結晶シリコンと n^+ 型の炭化珪素で構成するこ

とで、エネルギー障壁 ΔE_c を小さくしている。

【0045】

このことにより、上記した第1の実施の形態において説明した導通状態と同様の正電位をゲート電極に印加した場合、ソース領域13から流れる伝導電子はヘテロ接合部のエネルギー障壁中をトンネリングし易くなる。すなわち、本実施の形態においては、上記した第1及び第2の実施の形態の効果に加えて、さらにオン抵抗を向上することができる。

【0046】

(第4の実施の形態)

図9は、本発明に係る炭化珪素半導体装置の第4の実施の形態を示している。なお、第4の実施の形態に係る炭化珪素半導体装置において、上記した第1～第3の実施の形態と同一部分に同一の符号を付して説明を省略する。

【0047】

本実施の形態の炭化珪素半導体装置10においては、図8に示した第3の実施の形態と同様に、ゲート電極15の直下に形成されているソース領域13とヘテロ接合しているドレイン領域12側の界面に、ドレイン領域12より不純物濃度が高い炭化珪素からなる n^+ 型の低抵抗領域19が形成されている。また、本実施の形態では、 n^- 型のソース領域13を構成する多結晶シリコンに、ゲート電極15直下のソース領域13に隣接する n^+ 型のソースコンタクト層18を作り込んでいる。すなわち、本実施の形態では、ソース領域13とソースコンタクト層18とが同一の多結晶シリコン膜で形成されている。そして、図9に示すように、ドレイン領域12には、一方の主面側からp型の炭化珪素でなる電界緩和領域20が所定深さで、低抵抗領域19を両側から挟み込むように形成されている。すなわち、電界緩和領域20は、ドレイン領域12の一方の主面側からp型の不純物が導入されてなる。そして、この電界緩和領域20は、例えばソース電極16と同電位に固定されている。

【0048】

この第4の実施の形態においては、上記した第1～第3の実施の形態と同様に、例えばソース電極16並びにゲート電極15を接地し、ドレイン電極17に正

電位を印加した場合、遮断状態を実現することが容易となる。つまり、本実施の形態においては、ソース電極 1 6 と同電位に固定された電界緩和領域 2 0 とドレイン領域 1 2 との間の p n 接合にも逆バイアスが印加されるため、その接合界面から空乏層が伸びるからである。また、低抵抗領域 1 9 を挟むように対面する電界緩和領域 2 0 同士の距離が小さい場合、それぞれの電界緩和領域 2 0 から伸びた空乏層によって、低抵抗領域 1 9 が接するドレイン領域 1 2 を空乏化することができる。このことから、低抵抗領域 1 9 の不純物濃度をさらに高くして、低抵抗領域 1 9 自体が完全に空乏化しなくても、素子耐圧を電界緩和領域 2 0 で維持することができる。

【 0 0 4 9 】

すなわち、第 4 の実施の形態においては、第 1 ～第 3 の実施の形態の効果に加え、さらに低抵抗領域 1 9 の不純物濃度を高めることができるため、さらにオン抵抗を向上することができる。

【 0 0 5 0 】

(第 5 の実施の形態)

図 1 0 は、本発明に係る炭化珪素半導体装置の第 5 の実施の形態を示している。本実施の形態の炭化珪素半導体装置 1 0 では、上記した第 4 の実施の形態の電界緩和領域 2 0 の代わりに誘電体領域 2 1 を形成した点異なる。この誘電体領域 2 1 は、ソース領域 1 3 の両側部下面とソースコンタクト層 1 8 と接するように形成されている。誘電体領域 2 1 の形成は、上記した第 4 の実施の形態の電界緩和領域 2 0 の形成に比較して容易となる利点があり、かつ電界緩和領域 2 0 と同様の効果を有する。

【 0 0 5 1 】

すなわち、本実施の形態では、第 1 ～第 4 の実施の形態の効果に加え、さらに製造工程を簡略化することができる。

【 0 0 5 2 】

(第 6 の実施の形態)

図 1 1 は、本発明に係る炭化珪素半導体装置の第 6 の実施の形態を示しており、構造単位セルが 2 つ連続した部分を示す断面図である。本実施の形態に係る炭

化珪素半導体装置においても、上記した第 1 ～第 5 の実施の形態と同一の部分には同一の付して説明する。

【 0 0 5 3 】

本実施の形態の炭化珪素半導体装置 1 0 においても、上記した第 1 ～第 5 の実施の形態と同様に、炭化珪素のポリタイプが例えば 4 H タイプの n^+ 型炭化珪素基板領域 1 1 上に n^- 型のドレイン領域 1 2 が形成されている。ドレイン領域 1 2 の一方の主面には複数の溝が平行に形成されており、これら溝を含めたドレイン領域 1 2 の一方の主面側を覆うように、例えば n^- 型の多結晶シリコンからなるソース領域 1 3 が、ドレイン領域 1 2 の一方の主面側の凹凸に沿って形成されている。本実施の形態においても、ドレイン領域 1 2 とソース領域 1 3 との接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。また、ドレイン領域 1 2 の一方の主面側に形成された溝の内部には、例えばシリコン酸化膜からなるゲート絶縁膜 1 4 を介してゲート電極 1 5 が形成されている。また、ソース領域 1 3 にはソース電極 1 6 が、 n^+ 型炭化珪素基板領域 1 1 の他方の主面側にはドレイン電極 1 7 が形成されている。

【 0 0 5 4 】

このような構成の本実施の形態の炭化珪素半導体装置 1 0 の動作は、上記した第 1 の実施の形態と同様であり、例えばソース電極 1 6 を接地し、ドレイン電極 1 7 に正電位を印加して使用する。まず、この炭化珪素半導体装置 1 0 では、ゲート電極 1 5 を接地した場合、遮断状態を保持する。このような動作をする理由は、ソース領域 1 3 とドレイン領域 1 2 とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。

【 0 0 5 5 】

次に、遮断状態から導通状態へと移行すべくゲート電極 1 5 に正電位を印加すると、ゲート絶縁膜 1 4 を介してソース領域 1 3 並びにソース領域 1 3 に接するドレイン領域 1 2 のヘテロ接合界面までゲート電界が及ぶため、共に伝導電子の蓄積層が形成される。すなわち、ゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 の接合界面の両側ともポテンシャルが押し下げられる。つまり、ヘテ

ロ接合界面のエネルギー障壁は伝導電子の蓄積効果により急峻になるため、エネルギー障壁中を伝導電子がトンネリングすることが可能となる。このことから、それまでエネルギー障壁によって遮断されていた電子流がドレイン領域 1 2 中に流れる導通状態となる。このとき、本実施の形態においては、ドレイン領域 1 2 に溝を形成し、ゲート電極 1 5 と接するソース領域 1 3 の面積をさらに大きくできるため、導通時の伝導電子が流れる経路が広がり、さらにオン抵抗を低減することができる。

【 0 0 5 6 】

次に、導通状態から遮断状態に移行すべく、再びゲート電極 1 5 を接地電位とすると、ソース領域 1 3 並びにソース領域 1 3 に接するドレイン領域 1 2 のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域 1 3 からドレイン領域 1 2 への伝導電子の流れが止まる。さらに、ドレイン領域 1 2 中にあった伝導電子が n^+ 型炭化珪素基板領域 1 1 に流れ枯渇すると、ドレイン領域 1 2 側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【 0 0 5 7 】

また、本実施の形態においては、上記した第 1 の実施の形態と同様に、例えばソース電極 1 6 を接地し、ドレイン電極 1 7 に負電位が印加された逆方向導通（還流動作）も可能である。

【 0 0 5 8 】

このように、この第 6 の実施の形態においては、第 1 の実施の形態の特徴に加えて、ドレイン領域 1 2 に溝を形成することで導通時の伝導電子が流れる経路となるゲート電極 1 5 と接するソース領域 1 3 の面積を大きくとることができるため、さらにオン抵抗を低減する効果を有する。

【 0 0 5 9 】

（第 7 の実施の形態）

図 1 2 は、本発明に係る炭化珪素半導体装置の第 7 の実施の形態を示している。図 7 は、構造単位セルが 2 つ連続した断面図である。本実施の形態においても、炭化珪素のポリタイプが例えば 4 H タイプの n^+ 炭化珪素基板領域 1 1 上に n

「型」のドレイン領域 1 2 が形成されている。本実施の形態においても、上記した第 6 の実施の形態と同様に、ドレイン領域 1 2 の一方の主面に溝が形成されている。この溝を含むドレイン領域 1 2 の一方の主面側を覆うように、例えば n^{-} 型の多結晶シリコンからなるソース領域 1 3 が、ドレイン領域 1 2 の主面の凹凸に沿って形成されている。つまり、ドレイン領域 1 2 とソース領域 1 3 の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。ドレイン領域 1 2 の一方の主面上に形成されたソース領域 1 3 に接するように、例えばシリコン酸化膜からなるゲート絶縁膜 1 4 を介してゲート電極 1 5 が形成されている。また、ソース領域 1 3 の溝に接している面の対向面には、ソース電極 1 6 が、 n^{+} 炭化珪素基板領域 1 1 の他方の主面側にはドレイン電極 1 7 が形成されている。

【 0 0 6 0 】

この第 7 の実施の形態に係る炭化珪素半導体装置 1 0 の動作は、上記した第 1 の実施の形態と同様である。例えば、ソース電極 1 6 を接地し、ドレイン電極 1 7 に正電位を印加して使用する。まず、ゲート電極 1 5 を接地した場合、遮断状態を保持する。すなわち、ソース領域 1 3 とドレイン領域 1 2 とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。

【 0 0 6 1 】

このとき、本実施の形態においては、ドレイン領域 1 2 に溝を形成しており、さらにドレイン領域 1 2 の一方の主面上にゲート絶縁膜 1 4 を介してゲート電極 1 5 が形成されているため、エネルギー障壁が形成されているソース領域 1 3 とドレイン領域 1 2 のヘテロ接合界面より深い位置に、接地電位に固定されたソース領域 1 3 が存在する構成となっている。このため、遮断性を維持することがより容易となる。つまり、本実施の形態においては、溝底部に形成されたソース領域 1 3 とドレイン領域 1 2 との間の $p-n$ 接合にも逆バイアスが印加され、その接合界面から空乏層が伸びるからである。また、溝同士の距離が短い場合、隣り合う溝の底部に形成されたソース領域 1 3 から伸びた空乏層によって、ゲート電極 1 5 直下のドレイン領域 1 2 を空乏化することができる。すなわち、本実施の形

態においては、さらに遮断状態時の遮断性を向上することができる。

【 0 0 6 2 】

次に、遮断状態から導通状態へと移行するべくゲート電極 1 5 に正電位を印加すると、ゲート絶縁膜 1 4 を介してソース領域 1 3 並びにソース領域 1 3 に接するドレイン領域 1 2 のヘテロ接合界面までゲート電界が及ぶため、共に伝導電子の蓄積層が形成される。すなわち、ゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 の接合界面の両側ともポテンシャルが押し下げられる。つまり、ヘテロ接合界面のエネルギー障壁が伝導電子の蓄積効果により急峻になるため、エネルギー障壁中を伝導電子がトンネリングすることが可能となる。このことから、それまでエネルギー障壁によって遮断されていた電子流がドレイン領域 1 2 中に流れる導通状態となる。

【 0 0 6 3 】

次に、導通状態から遮断状態に移行すべく、再びゲート電極 1 5 を接地電位とすると、ソース領域 1 3 並びにソース領域 1 3 に接するドレイン領域 1 2 のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域 1 3 からドレイン領域 1 2 への伝導電子の流れが止まり、さらにドレイン領域 1 2 中にあった伝導電子が n^+ 炭化珪素基板領域 1 1 に流れ枯渇すると、ドレイン領域 1 2 側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【 0 0 6 4 】

また、本実施の形態においては、上記した第 1 の実施の形態と同様に、例えばソース電極 1 6 を接地し、ドレイン電極 1 7 に負電位が印加された逆方向導通（還流動作）も可能である。

【 0 0 6 5 】

以上、本実施の形態については、上記した第 1 の実施の形態の特徴に加えて、遮断状態にエネルギー障壁が形成されているソース領域 1 3 とドレイン領域 1 2 のヘテロ接合界面より深い位置に、接地電位に固定されたソース領域 1 3 が存在する構成となっているため、隣り合う溝の底部に形成されたソース領域 1 3 から伸びた空乏層によってゲート電極 1 5 直下のドレイン領域 1 2 を空乏化すること

ができる。このため、上記した構造の炭化珪素半導体装置 1 0 では、遮断性を向上することができる。

【 0 0 6 6 】

(第 8 の実施の形態)

図 1 3 は、本発明に係る炭化珪素半導体装置の第 8 の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置 1 0 は、図 1 2 に示した第 7 の実施の形態において、ソース領域 1 3 とソース電極 1 6 がオーム性接触するように、ソース領域 1 3 とソース電極 1 6 との間に、例えば多結晶シリコンからなる n^+ 型のソースコンタクト層 1 8 を介在させた構成となっている。本実施の形態における他の構成は、上記した第 7 の実施の形態の構成と同様である。

【 0 0 6 7 】

なお、本実施の形態においては、一例としてソース領域 1 3 上にソースコンタクト層 1 8 形成した場合を示しているが、ソース電極 1 6 と接するソース領域 1 3 の内側にソースコンタクト層 1 8 を作り込んだ構成としても勿論よい。

【 0 0 6 8 】

このことにより、 n^- 型の多結晶シリコンからなるソース領域 1 3 とソース電極 1 6 とがオーム性接触となるため、ソース電極 1 6 との接触抵抗を低減することができる。

【 0 0 6 9 】

(第 9 の実施の形態)

図 1 4 は、本発明に係る炭化珪素半導体装置の第 9 の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置は、図 1 3 に示した炭化珪素半導体装置 1 0 において、ゲート電極 1 5 直下に形成されているソース領域 1 3 とヘテロ接合しているドレイン領域 1 2 側の界面に、ドレイン領域 1 2 より不純物濃度が高い炭化珪素からなる n^+ 型の低抵抗領域 1 9 を形成したものであり、他の構成は図 1 3 に示した炭化珪素半導体装置 1 0 と同様である。すなわち、ゲート電極 1 5 直下のソース領域 1 3 とドレイン領域 1 2 のヘテロ接合界面を、 n^- 型の多結晶シリコンと n^+ 型の炭化珪素で構成することで、エネルギー障壁 ΔE_c を小さくしている。

【 0 0 7 0 】

このことにより、第 1 の実施の形態で説明した導通状態と同様の正電位をゲート電極 1 5 に印加した場合、ソース領域 1 3 から流れる伝導電子はヘテロ接合部のエネルギー障壁中をトンネリングし易くなる。すなわち、本実施の形態においては、上記した第 6 ～第 8 の実施の形態の効果に加え、さらにオン抵抗を向上することができる。

【 0 0 7 1 】

(第 1 0 の実施の形態)

図 1 5 は、本発明に係る炭化珪素半導体装置の第 1 0 の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置 1 0 は、図 1 4 に示した第 9 の実施の形態において、ソース領域 1 3 もしくはソースコンタクト層 1 8 と接するように、溝の底部に炭化珪素からなる p 型の電界緩和領域 2 0 を形成した構成となっている。そして、電界緩和領域 2 0 は、例えばソース電極 1 6 と同電位に固定されている。本実施の形態における他の構成は、上記した第 9 の実施の形態と同様である。

【 0 0 7 2 】

本実施の形態においては、上記した第 6 ～第 9 の実施の形態と同様に、例えばソース電極 1 6 並びにゲート電極 1 5 を接地し、ドレイン電極 1 7 に正電位を印加した場合、遮断状態を実現するのがさらに容易となる。すなわち、本実施の形態においては、ソース電極 1 6 と同電位に固定された電界緩和領域 2 0 とドレイン領域 1 2 との間の p n 接合にも逆バイアスが印加されるため、その接合界面から空乏層が伸びるからである。そして、溝同士の距離が短い場合、それぞれの電界緩和領域 2 0 から伸びた空乏層によって、溝同士に挟まれたドレイン領域 1 2 を空乏化することができる。このことから、低抵抗領域 1 9 の不純物濃度をさらに高くして、低抵抗領域 1 9 自体が完全に空乏化しなくても、素子耐圧を電界緩和領域 2 0 で維持することができる。

【 0 0 7 3 】

すなわち、本実施の形態においては、上記した第 6 ～第 9 の実施の形態の効果に加え、さらに低抵抗領域 1 9 の不純物濃度を高めることができるため、さらに

オン抵抗を向上することができる。

【 0 0 7 4 】

(第 1 1 の実施の形態)

図 1 6 は、本発明に係る炭化珪素半導体装置の第 1 1 の実施の形態を示している。本実施の形態の炭化珪素半導体装置 1 0 では、図 1 5 に示した炭化珪素半導体装置 1 0 において、電界緩和領域 2 0 の代わりに誘電体領域 2 1 がソース領域 1 3 もしくはソースコンタクト層 1 8 と接するように溝底部に形成され、ソース電極 1 6 に接続された構成となっている。本実施の形態における他の構成は、図 1 5 に示した第 1 0 の実施の形態と同様である。

【 0 0 7 5 】

本実施の形態では、誘電体領域 2 1 の形成工程が電界緩和領域の形成工程より容易であるという利点があり、かつ電界緩和領域を形成した構成と同様の効果を有する。

【 0 0 7 6 】

したがって、本実施の形態においては、上記した第 6 ～第 1 0 の実施の形態の効果に加えて、さらに製造工程を簡略化することができる。

【 0 0 7 7 】

(他の実施形態)

上記した本発明の第 1 ～第 1 1 の実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 0 7 8 】

例えば、上記した第 1 ～第 1 1 の実施の形態では、一例として炭化珪素のポリタイプを 4 H タイプを用いて説明したが、6 H、3 C などその他のポリタイプを用いてもよい。また、上記した実施の形態中、ソース領域 1 3 に用いるヘテロ半導体材料として多結晶シリコンを用いた例で説明したが、炭化珪素とヘテロ接合を形成する材料であれば、他の材料を用いてもよい。

【 0 0 7 9 】

また、上記した実施の形態では、一例としてドレイン領域 1 2 を n 型の炭化珪

素を、ソース領域 1 3 として n 型の多結晶シリコンを用いて説明したが、n 型の炭化珪素と p 型の多結晶シリコン、p 型の炭化珪素と p 型の多結晶シリコン、p 型の炭化珪素と n 型の多結晶シリコンなどの如何なる組み合わせを用いてもよい。

【0080】

また、上記した第 1 ～第 1 1 の実施の形態では、一例としてドレイン電極とソース電極が互いに平行に配置された縦型の半導体装置を用いて説明したが、ドレイン電極とソース電極が同一面上に配置される横型の半導体装置としてもよい。

【0081】

また、上記した各実施の形態では、ドレイン電極とソース電極とが平行をなすストライプ状に形成された構造を持つ炭化珪素半導体装置として説明したが、ソース電極が環状（リング状）の構造を持つ炭化珪素半導体装置としてもよい。

【図面の簡単な説明】

【図 1】

本発明に係る炭化珪素半導体装置の第 1 の実施の形態を示す断面図である。

【図 2】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（接触前）である。

【図 3】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（接触後）である。

【図 4】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（熱平衡状態）である。

【図 5】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（オフ状態）である。

【図 6】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造

図（オン状態）である。

【図 7】

本発明に係る炭化珪素半導体装置の第 2 の実施の形態を示す断面図である。

【図 8】

本発明に係る炭化珪素半導体装置の第 3 の実施の形態を示す断面図である。

【図 9】

本発明に係る炭化珪素半導体装置の第 4 の実施の形態を示す断面図である。

【図 1 0】

本発明に係る炭化珪素半導体装置の第 5 の実施の形態を示す断面図である。

【図 1 1】

本発明に係る炭化珪素半導体装置の第 6 の実施の形態を示す断面図である。

【図 1 2】

本発明に係る炭化珪素半導体装置の第 7 の実施の形態を示す断面図である。

【図 1 3】

本発明に係る炭化珪素半導体装置の第 8 の実施の形態を示す断面図である。

【図 1 4】

本発明に係る炭化珪素半導体装置の第 9 の実施の形態を示す断面図である。

【図 1 5】

本発明に係る炭化珪素半導体装置の第 1 0 の実施の形態を示す断面図である。

【図 1 6】

本発明に係る炭化珪素半導体装置の第 1 1 の実施の形態を示す断面図である。

【図 1 7】

従来の炭化珪素半導体装置を示す断面図である。

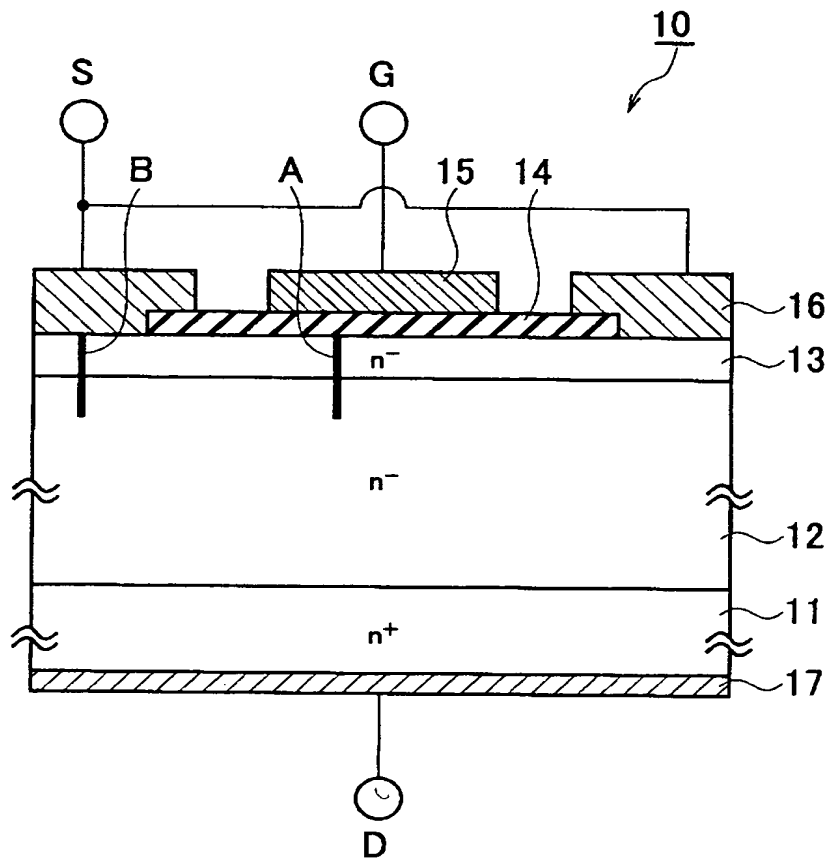
【符号の説明】

- 1 0 炭化珪素半導体装置
- 1 1 n^+ 炭化珪素基板領域
- 1 2 ドレイン領域
- 1 3 ソース領域
- 1 4 ゲート絶縁膜

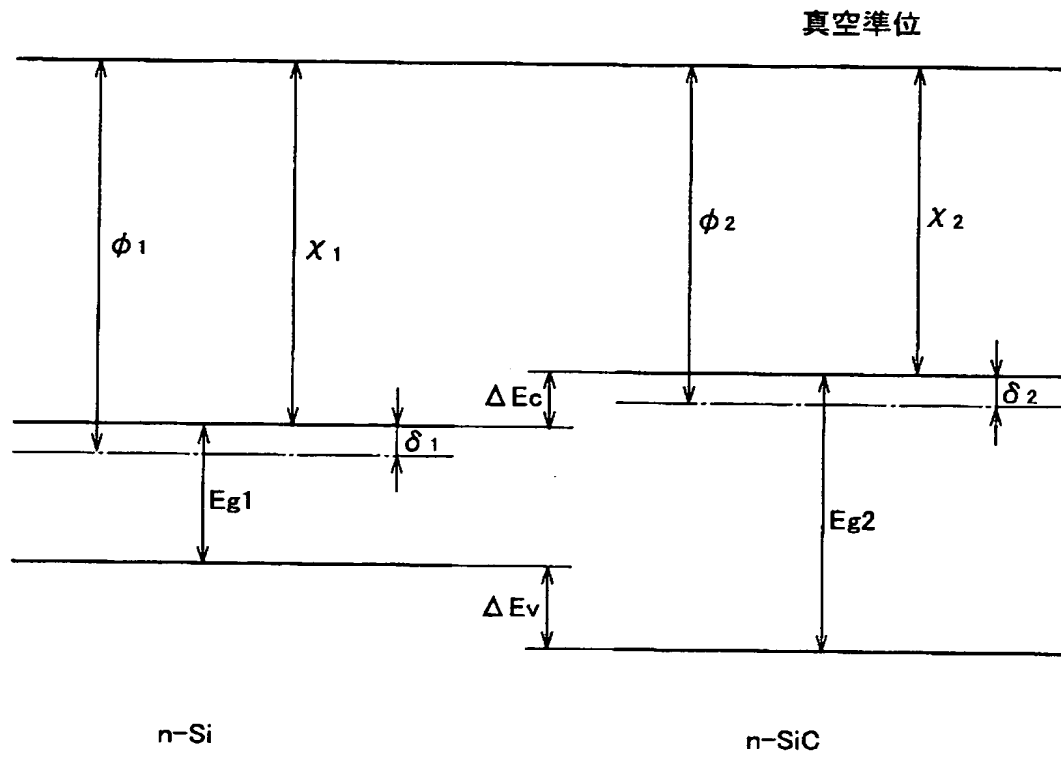
- 1 5 ゲート電極
- 1 6 ソース電極
- 1 7 ドレイン電極
- 1 8 ソースコンタクト層
- 1 9 低抵抗領域
- 2 0 電界緩和領域
- 2 1 誘電体領域

【書類名】 図面

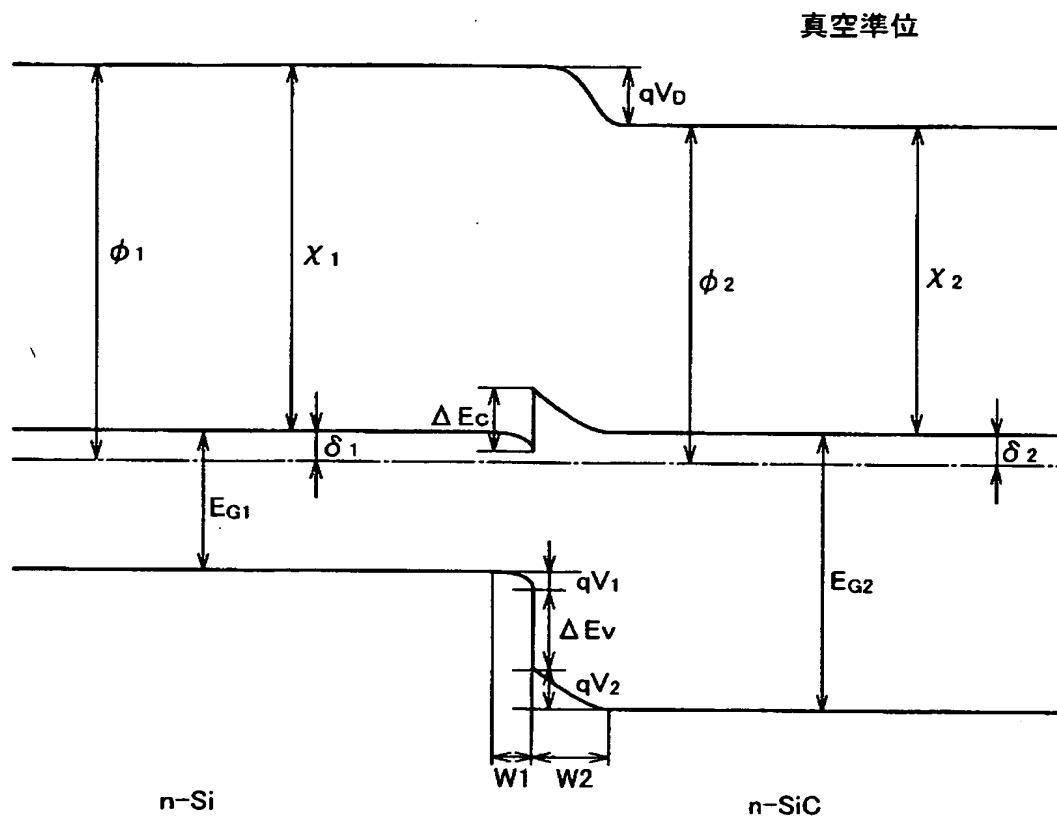
【図 1】



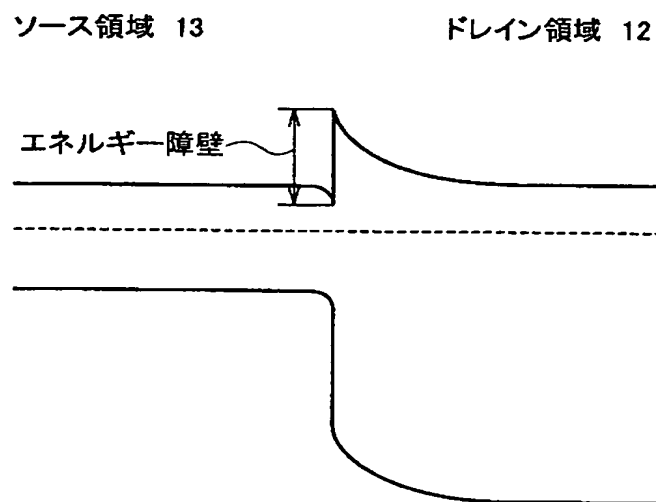
【図 2】



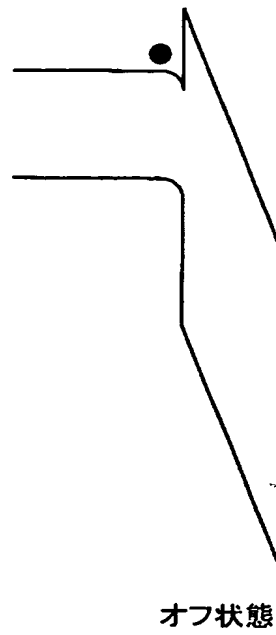
【図 3】



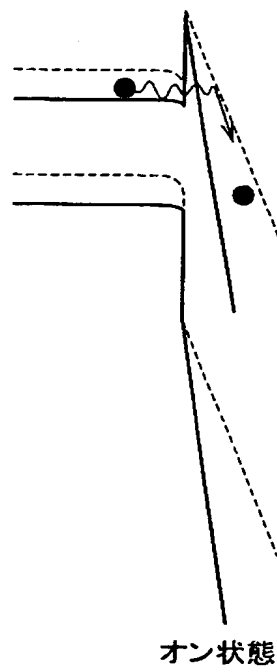
【図 4】



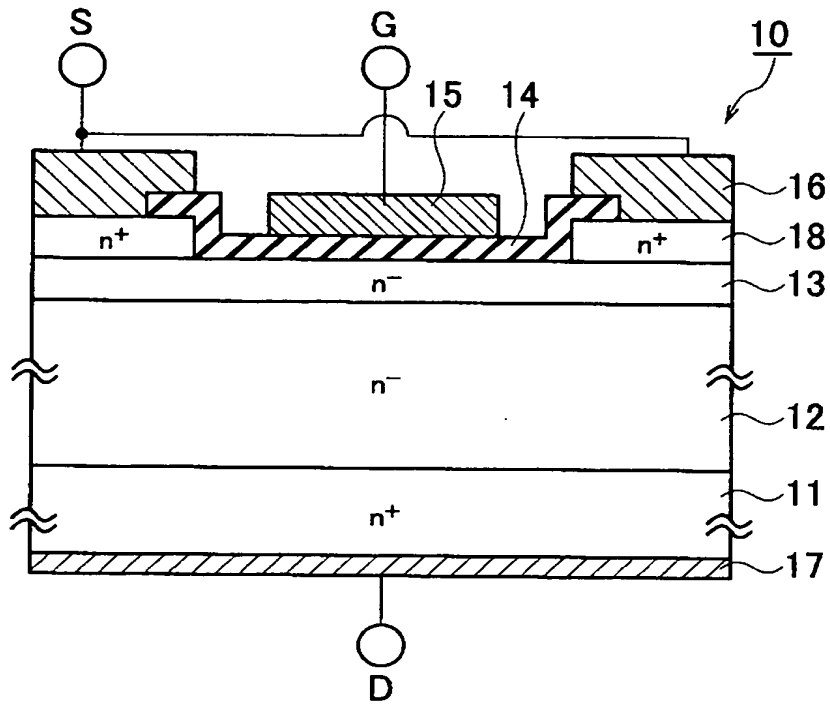
【図 5】



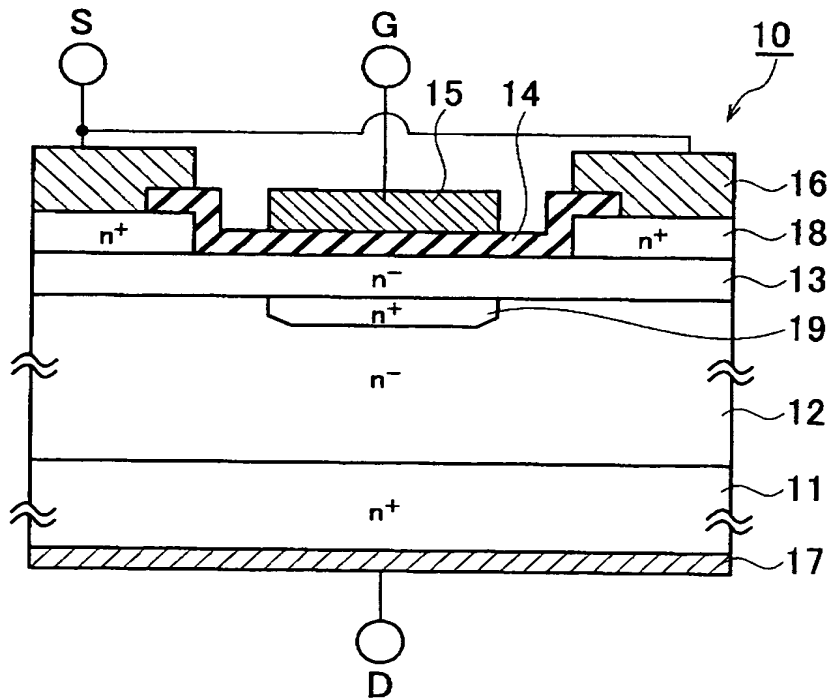
【図 6】



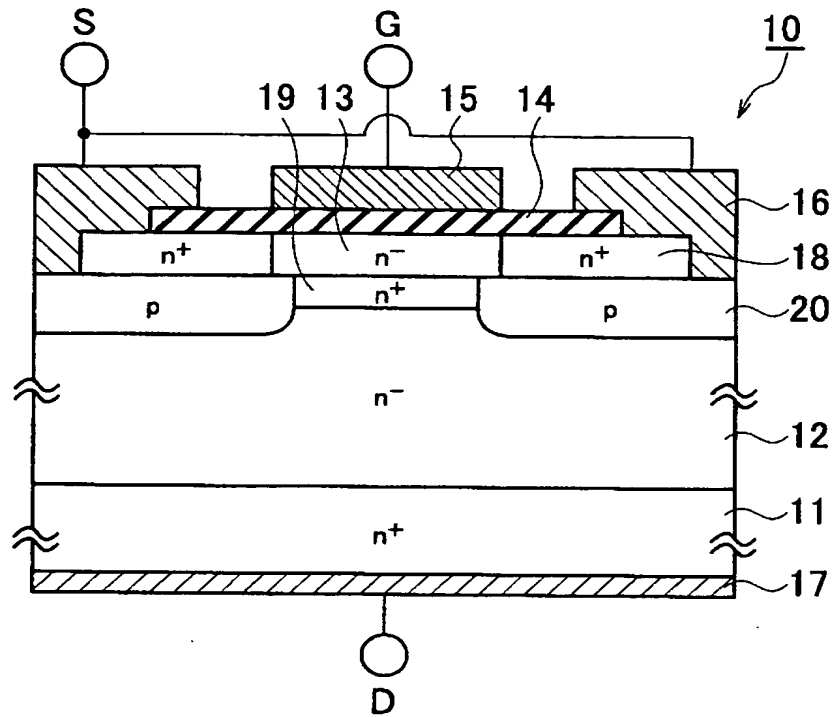
【図 7】



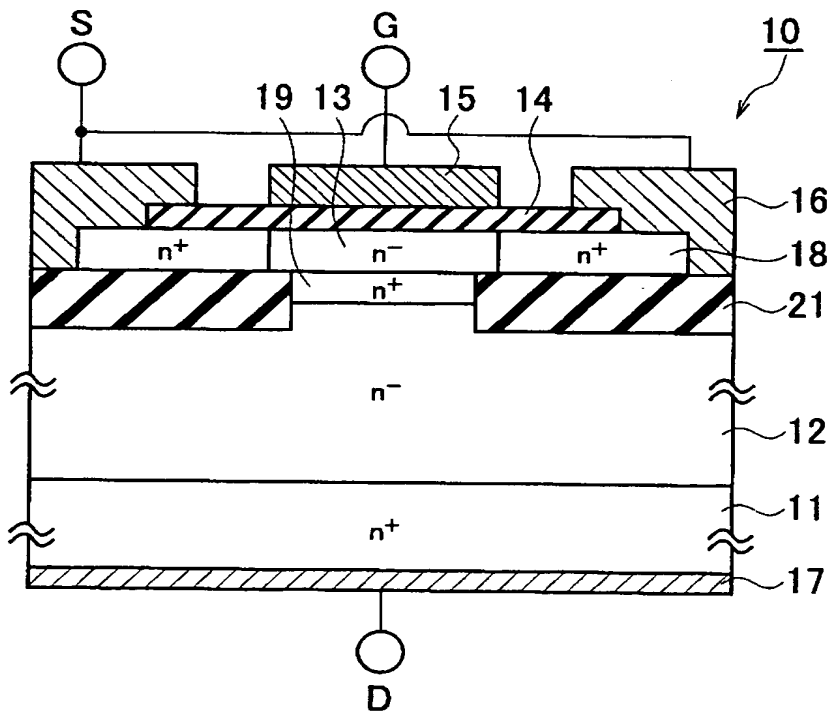
【図 8】



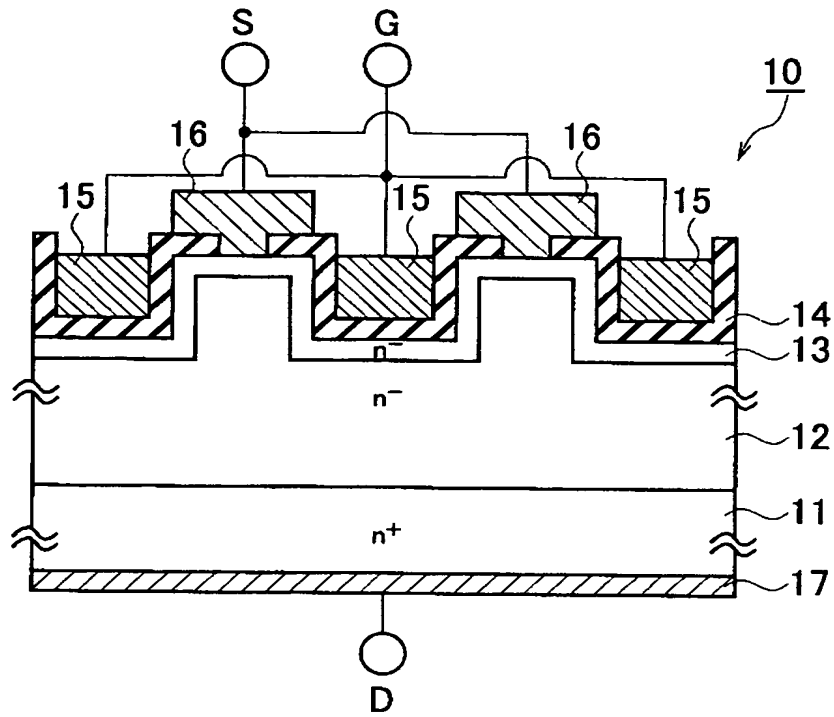
【図 9】



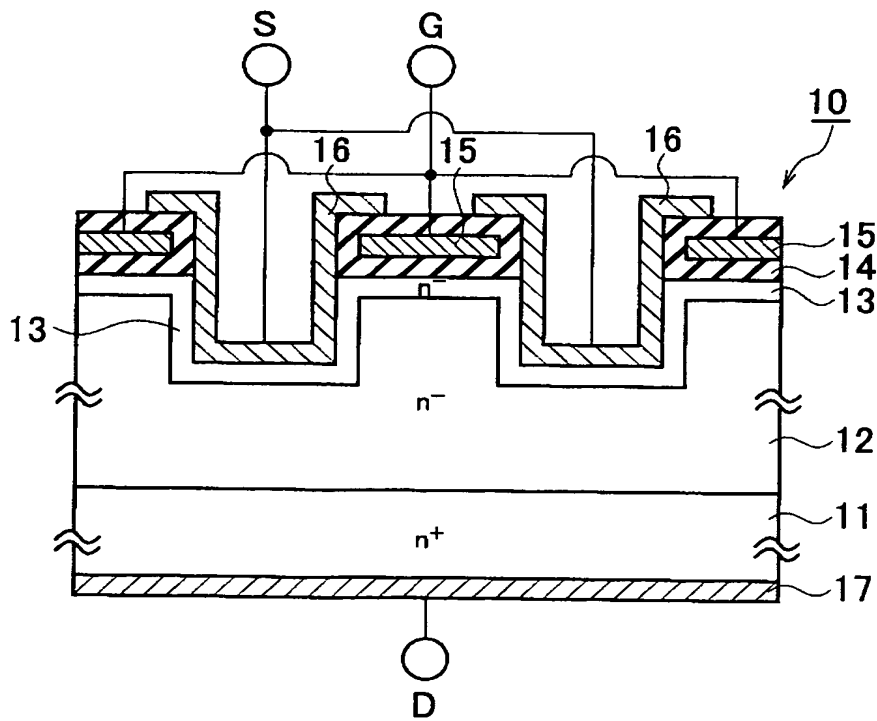
【図 1 0】



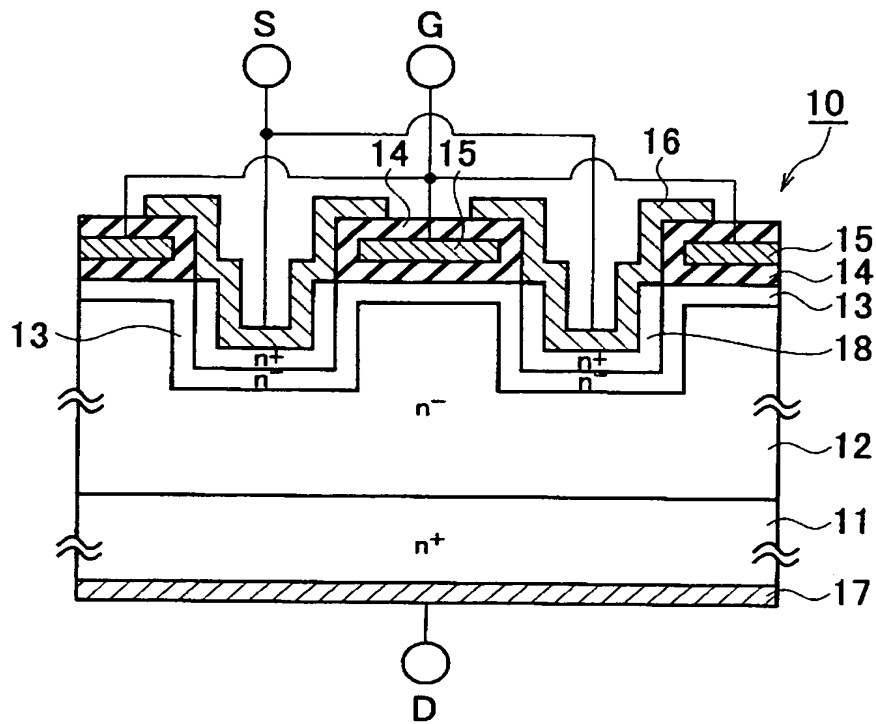
【図 1 1】



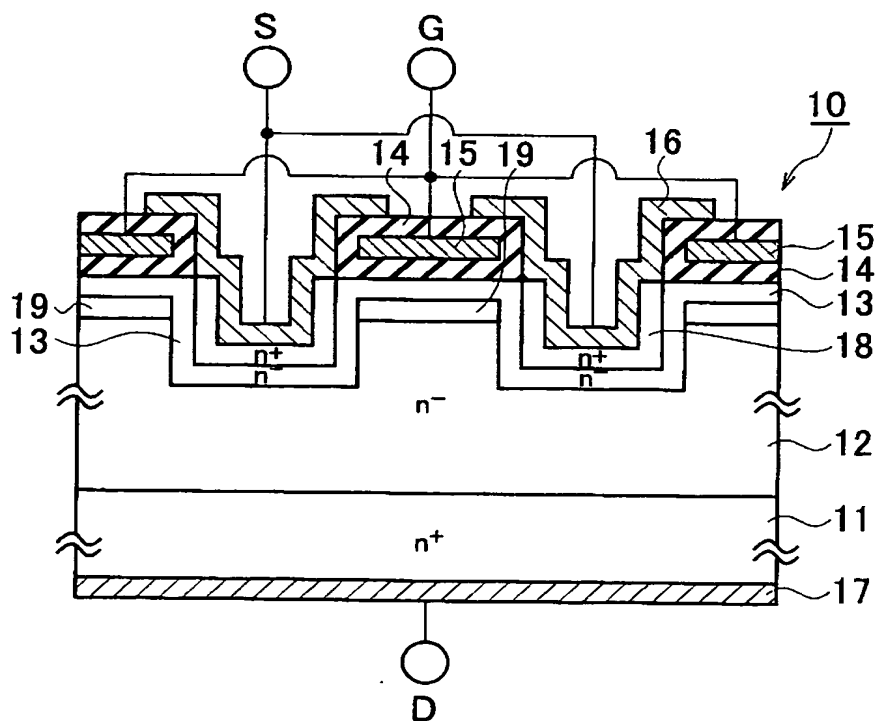
【図 1 2】



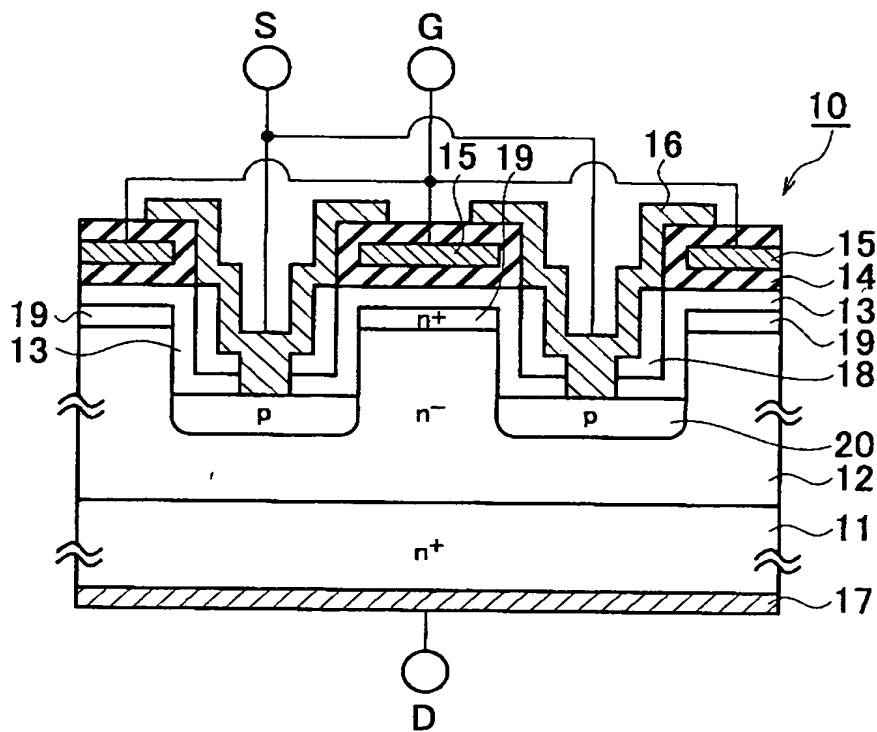
【図 13】



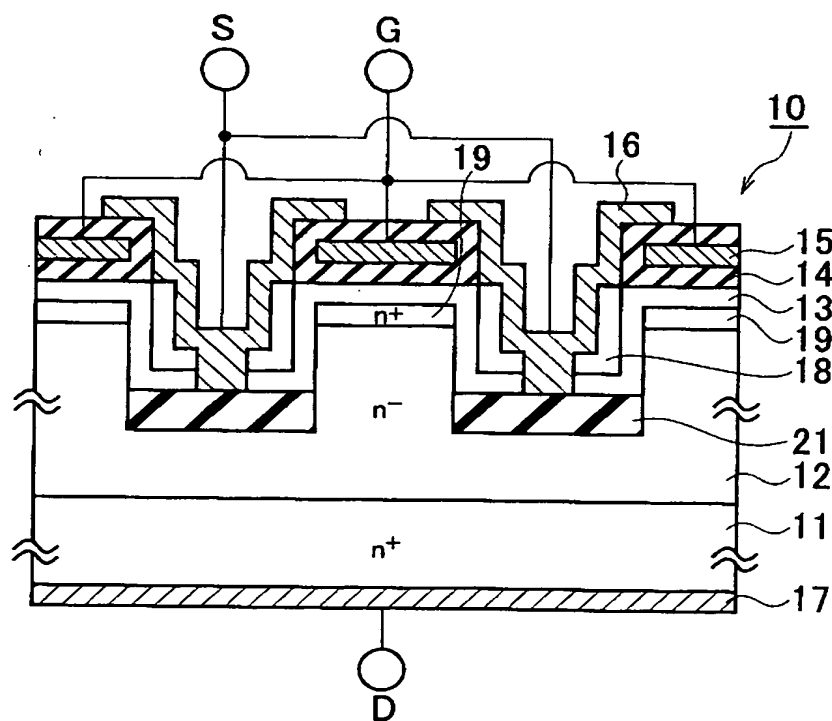
【図 14】



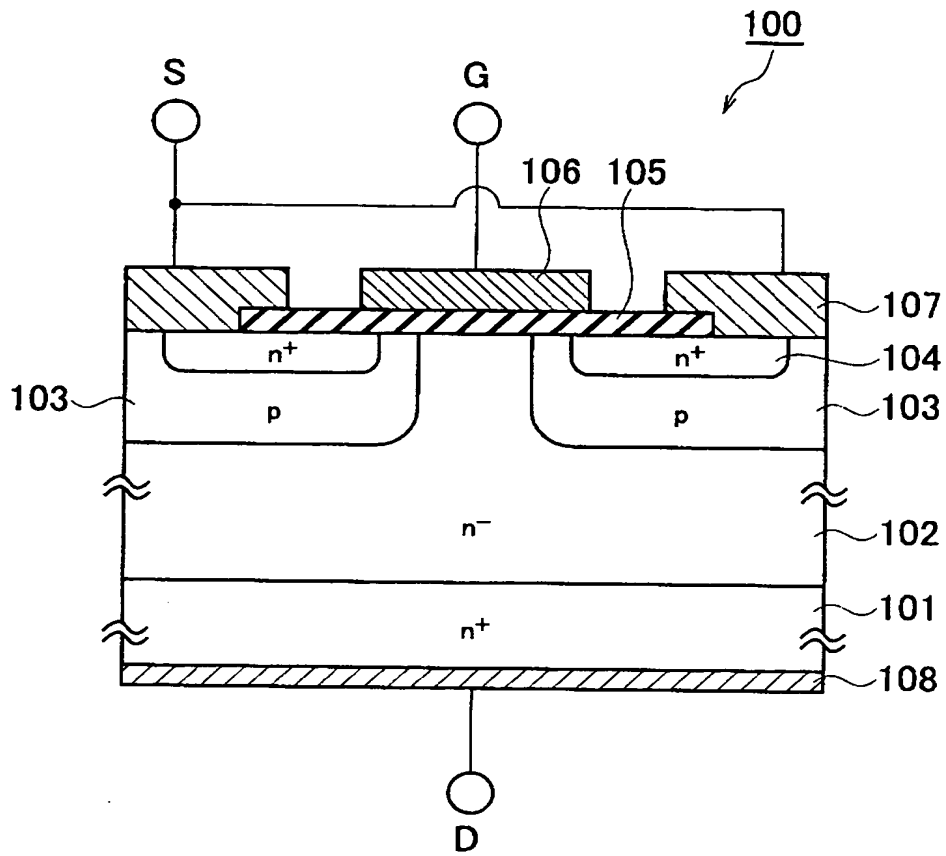
【図 15】



【図 16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 オン抵抗を低減し、かつ素子耐圧を向上することができる、高耐圧炭化珪素半導体装置を提供する。

【解決手段】 n^+ 型炭化珪素基板領域 1 1 と、 n^+ 型炭化珪素基板領域 1 1 上に形成された n^- 型の炭化珪素からなるドレイン領域 1 2 と、ドレイン領域 1 2 よりバンドギャップが小さいヘテロ半導体からなり、ドレイン領域 1 2 の一方の主面上に形成されたソース領域 1 3 と、ソース領域 1 3 上の所定領域に形成されたゲート絶縁膜 1 4 と、ゲート絶縁膜 1 4 の上に形成されたゲート電極 1 5 と、ゲート電極 1 5 の側方に配置されて、ゲート絶縁膜 1 4 が存在しない部分でソース領域 1 3 に接触するように形成されたソース電極 1 6 と、 n^+ 型炭化珪素基板領域 1 1 の他方の主面側に形成されたドレイン電極 1 7 とからなる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 2 4 3 0 8
受付番号	5 0 2 0 1 6 8 5 0 3 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 1 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003997
【住所又は居所】	神奈川県横浜市神奈川区宝町 2 番地
【氏名又は名称】	日産自動車株式会社

【代理人】

申請人	
【識別番号】	100083806
【住所又は居所】	東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所
【氏名又は名称】	三好 秀和

【選任した代理人】

【識別番号】	100068342
【住所又は居所】	東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所
【氏名又は名称】	三好 保男

【選任した代理人】

【識別番号】	100100712
【住所又は居所】	東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所
【氏名又は名称】	岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】	100087365
【住所又は居所】	東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所
【氏名又は名称】	栗原 彰

【選任した代理人】

【識別番号】	100100929
【住所又は居所】	東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 三好内外国特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	川又 澄雄
【選任した代理人】	
【識別番号】	100095500
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	伊藤 正和
【選任した代理人】	
【識別番号】	100101247
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	高橋 俊一
【選任した代理人】	
【識別番号】	100098327
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	高松 俊雄

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 9 9 7]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	神奈川県横浜市神奈川区宝町 2 番地
氏 名	日産自動車株式会社